

Japanese Patent Office
Patent Laid-Open Application

Patent Laying-Open No. 8-172171

Date of Laying-Open: July 2, 1996

International Class(es) H01L 27/108
21/8242
27/04

(4 pages in all)

Title of the Invention: METHOD FOR FABRICATING CAPACITOR OF
SEMICONDUCTOR DEVICE

Patent Appln. No. 7-181555

Filing Date: July 18, 1995

Priority Claimed:

Country: Korea

Filing Date: July 18, 1994

Serial No. 94-17301

Inventor(s): Jeong Ho Kim

Applicant(s): Hyundai Electronics Industries Co., Ltd.

(transliterated, therefore the
spelling might be incorrect)

6

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-172171

(43)公開日 平成8年(1996)7月2日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/108
21/8242
27/04

7735-4M

H 0 1 L 27/ 10
27/ 04

6 2 1 A
C

審査請求 有 請求項の数7 O L (全 4 頁) 最終頁に続く

(21)出願番号

特願平7-181555

(22)出願日

平成7年(1995)7月18日

(31)優先権主張番号

9 4 - 1 7 3 0 1

(32)優先日

1994年7月18日

(33)優先権主張国

韓国 (K R)

(71)出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川郡夫鉢邑牙美里山136
- 1

(72)発明者 金 正浩

大韓民国京畿道利川郡夫鉢邑牙美里山136
- 1 現代電子産業株式会社内

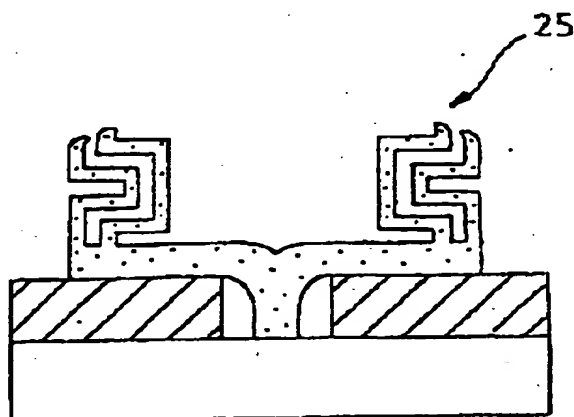
(74)代理人 弁理士 長谷川 芳樹 (外3名)

(54)【発明の名称】 半導体素子のキャパシター製造方法

(57)【要約】

【目的】 本発明はキャパシターの静電容量を増加させ半導体素子の高集積化を可能にするための半導体素子のキャパシター製造方法に関する。

【構成】 半導体基板の上部に凸凹形に形成された多数の側壁を備えた円筒型貯蔵電極を形成することにより貯蔵電極の表面積を増加させ、後に誘電体膜とプレート電極を形成することによりキャパシターの静電容量を増加させ半導体素子の高集積化を達成することかできるようになる。



【特許請求の範囲】

【請求項1】 半導体素子のキャパシター製造方法において、

半導体基板上部に下部絶縁層を形成し、コンタクトマスクを用いて前記半導体基板が露出するようコンタクトホールを形成した後、前記コンタクトホールの側壁に絶縁膜スペーサーを形成し、前記コンタクトホールを介し前記半導体基板と接続するよう第1導電層を蒸着し、その上部に第1、2、3犠牲膜を蒸着する工程と、
貯蔵電極マスクを用いて前記第3、2、1犠牲膜をそれぞれエッチングした後、前記第2犠牲膜を一定厚さに側面エッチングする工程と、
全体構造の上部に第2導電層を一定厚さに蒸着し、異方性エッチングを行い第2導電体スペーサーを形成する工程と、
全体構造の上部に酸化膜を一定厚さに蒸着し、異方性エッチングを行うが、過エッチングして酸化膜スペーサーと第1導電層パターンを形成する工程と、
全体構造の上部に第3導電層を一定厚さに蒸着し、異方性エッチングを行い第3導電層スペーサーを形成し、前記露出した第1、2、3犠牲膜と酸化膜スペーサーを湿式方法で除去することにより、側壁が凸凹形になるよう円筒形貯蔵電極を形成する工程を含むことを特徴とする半導体素子のキャパシター製造方法。

【請求項2】 前記第1、2、3導電層は多結晶シリコンで形成することを特徴とする請求項1記載の半導体素子のキャパシター製造方法。

【請求項3】 前記第1、3犠牲膜はTEOSで形成することを特徴とする請求項1記載の半導体素子のキャパシター製造方法。

【請求項4】 前記第2犠牲膜は O_3 -PSGで形成することを特徴とする請求項1記載の半導体素子のキャパシター製造方法。

【請求項5】 前記第2犠牲膜は50:1のBOE溶液を用い側面エッチングすることにより形成したことを特徴とする請求項1記載の半導体素子のキャパシター製造方法。

【請求項6】 前記第1、2、3犠牲膜スペーサーは9:1のBOE溶液で除去することを特徴とする請求項1記載の半導体素子のキャパシター製造方法。

【請求項7】 前記貯蔵電極の側壁を多数形成することを特徴とする請求項1記載の半導体素子のキャパシター製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子のキャパシター製造方法に関し、特に高集積化された半導体素子でキャパシターの静電容量を確保するため多重円筒型に貯蔵電極を形成することにより、貯蔵電極の表面積を増加させ半導体素子のキャパシター静電容量を増加させる

技術に関する。

【0002】

【従来の技術】半導体素子の高集積化に伴いセルの大きさが減少するので、貯蔵電極の表面積に比例する静電容量を十分に確保することが難しくなっている。

【0003】特に、一つのMOSトランジスタとキャパシターで構成されるDRAM素子においては、チップ上で多くの面積を占めるキャパシターの静電容量を大きくしながら面積を減らすことが高集積化に重要な課題となる。

【0004】従来からキャパシターの静電容量を増加させるために誘電定数が高い物質を誘電体に用いたり、誘電膜を薄く形成したり又はキャパシターの表面積を増加させる等の方法を用いてきた。

【0005】

【発明が解決しようとする課題】しかし、このような方法等は全て問題点を有してする。

【0006】即ち、高い誘電定数を有する誘電物質、例えば、 Ta_2O_5 、 TiO_2 は $SrTiO_3$ 等は信頼度及び薄膜特性等が明確に確認されておらず實際上素子に適用することが難しいという問題があり、誘電膜厚さを減少させる方法は素子動作の際に、誘電膜が破壊されてキャパシターの信頼度に深刻な影響を及ぼすという問題がある。

【0007】また、キャパシターの表面積を増加させるためにポリシリコンを多層に形成した後、これらを通互に連結させるピン(Pin)構造や、円筒又は四角棒状の迷路構造で形成した構造、又は所定構造の貯蔵電極の表面にシリコンでなる半球形グレイン(hemispherical grain)を形成した構造が提案されたりした。しかし、このような方法等もDRAMの高集積化に伴い面積がさらに減少し、依然として十分な静電容量を確保することが難しいという問題点がある。

【0008】従来の円筒形キャパシターを記述すると次の通りである。

【0009】まず、半導体基板上に所定の下部構造物、例えば素子分離のための素子分離絶縁膜と、MOS電界効果トランジスタ及びそのドレイン電極と接触するビットラインを順次形成し、ソース電極を露出させる貯蔵電極コンタクトホールを備える平坦化層である絶縁膜パターンを塗布する。

【0010】また、前記貯蔵電極コンタクトホールを埋め込む第1導電層を蒸着した後、その上部に犠牲膜パターンを形成し全体構造の上部に第2導電層を蒸着した後、前記第2導電層を異方性エッチングし前記犠牲膜パターンを除去して第1及び第2導電層で形成された円筒形貯蔵電極を形成した。

【0011】前記のような従来の円筒形キャパシターは、空洞型(cavity type)キャパシターに

比べ段差を低くするという長所はあるが、高集積化される半導体素子に十分な静電容量を確保するには困難であるという問題点がある。

【0012】従って、本発明は従来技術の問題点を解決するため円筒形貯蔵電極を形成するが、凸凹型に多数個を形成することにより貯蔵電極の表面積を拡大させキャパシタの静電容量を増加させる半導体素子のキャパシタ製造方法を提供することにその目的がある。

【0013】

【課題を解決するための手段】以上の目的を達成するための本発明の特徴は、半導体基板の上部に下部絶縁層を形成し、コンタクトマスクを用いて前記半導体基板が露出するようコンタクトホールを形成した後、前記コンタクトホールの側壁に絶縁膜スペーサーを形成し、前記コンタクトホールを介して前記半導体基板と接続するよう第1導電層を蒸着しその上部に第1、2、3犠牲膜を蒸着する工程と、貯蔵電極マスクを用いて前記第3、2、1犠牲膜をエッチングした後、前記第2犠牲膜を一定厚さに側面エッチングする工程と、全体構造上部に第2導電層を一定厚さに蒸着し、異方性エッチングを行い第2導電層スペーサーを形成する工程と、全体構造の上部に酸化膜を一定厚さに蒸着し異方性エッチングを行うが、過エッチングして酸化膜スペーサーと第1導電層パターンを形成する工程と、全体構造の上部に第3導電層を一定厚さに蒸着し異方性エッチングを行い第3導電層スペーサーを形成し、前記露出した第1、2、3犠牲膜と酸化膜スペーサーを湿式方法で除去することにより側壁が凸凹形になるように円筒形貯蔵電極を形成する工程を含むことにある。

【0014】

【発明の実施の形態】以下、添付された図面を参考にして本発明を詳細に説明する。

【0015】図1乃至図6は、本発明の実施例による半導体素子のキャパシタ製造工程を示した断面図である。

【0016】図1は、半導体基板(1)の上部に下部絶縁層(3)を形成し、コンタクトマスクを用いて前記半導体基板(1)の予定された部位を露出させたコンタクトホール(10)を形成した後、前記コンタクトホール(10)の側壁に絶縁膜スペーサー(5)を形成し、前記コンタクトホール(10)を介して前記半導体基板(1)に接続するよう第1導電層(7)を蒸着した後、その上部に第1、2、3犠牲膜(9、11、13)を一定厚さに蒸着し、貯蔵電極マスク(図示せず)を用いて前記第3、2、1犠牲膜(13、11、9)をエッチングした後、前記第1、3犠牲膜(9、13)と第2犠牲膜(11)のエッチング選択比の差を用いて前記第2犠牲膜(11)の側面を一定厚さに側面エッチングしたことを示す断面図で、前記第1、3犠牲膜(9、13)はテオス(TEOS: Tetra Ethyl Orth

o Silicate、以下TEOSという)で形成し、前記第2犠牲膜(11)はオソニービー、エス、ジー(O₂-PSG: O₂-Phospho Silicate Glass、以下O₂-PSGという)で形成したもので、前記第2犠牲膜(11)の側面エッチング工程は50:1のビー、オー、イー(BOE: Buffered Oxide Etchant、以下BOEという)溶液を用いて行ったものである。一般に、前記第1、3犠牲膜(9、13)を構成するTEOSと前記第2犠牲膜(11)を構成するO₂-PSGのエッチング選択比の差は10以上である。

【0017】図2は、全体構造の上部に一定厚さの第2導電層(15)を蒸着したものを示す断面図で、前記第2導電層(15)は多結晶シリコンで形成したものである。

【0018】図3は、前記第2導電層(15)を異方性エッチングして前記第1、2、3犠牲膜(9、11、13)の側壁に第2導電層スペーサー(17)を形成し、全体構造の上部に酸化膜を一定厚さに蒸着した後、異方性エッチングを行って前記第2導電層スペーサー(17)の側壁に酸化膜スペーサー(19)を形成したものを示した断面図で、前記異方性エッチング工程の際、過エッチングして前記第1導電層(7)をエッチングすることにより第1導電層パターン(7')を形成したものである。

【0019】図4は、全体構造上部に第3導電層(21)を一定厚さに蒸着したものを示す断面図で、前記第3導電層(21)は多結晶シリコンで形成したものである。

【0020】図5は、異方性エッチングを行い前記第3導電層スペーサー(23)を形成したものを示した断面図である。

【0021】図6は、前記露出した第1、2、3犠牲膜(9、11、13)と酸化膜スペーサー(23)を湿式方法で除去することにより円筒形貯蔵電極(25)を形成したものを示した断面図で、前記湿式方法は9:1のBOE溶液で行ったものであり、前記円筒形貯蔵電極(25)の側壁は凸凹型で形成し、しかも二つの側壁で形成した。ここで、前記酸化膜スペーサー及び導電層スペーサーをさらに形成することにより、前記円筒形貯蔵電極(25)の側壁を多数個に形成して表面積を増加させることにより、後に誘電体膜とプレート電極を形成することによりキャパシタの静電容量を増加させることができる。

【0022】

【発明の効果】前記した本発明によると、円筒形貯蔵電極を形成するが前記貯蔵電極の側壁を多数個の凸凹形に形成することにより、キャパシタの静電容量を増加させ半導体素子の高集積化を可能にする。

【図面の簡単な説明】

【図1】本発明による半導体素子のキャパシター製造工程を示した断面図。

【図2】本発明による半導体素子のキャパシター製造工程を示した断面図。

【図3】本発明による半導体素子のキャパシター製造工程を示した断面図。

【図4】本発明による半導体素子のキャパシター製造工程を示した断面図。

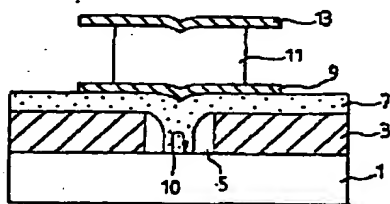
【図5】本発明による半導体素子のキャパシター製造工程を示した断面図。

【図6】本発明による半導体素子のキャパシター製造工程を示した断面図。

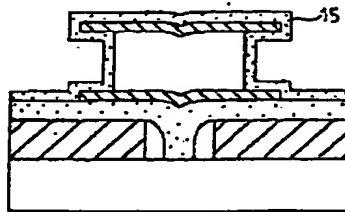
【符号の説明】

1…半導体基板、3…下部絶縁層、5…絶縁膜スペーサー、7…第1導電層、7'…第1導電体パターン、9…第1犠牲膜、11…第2犠牲膜、13…第3犠牲膜、15…第2導電層、17…第2導電層スペーサー、19…酸化膜スペーサー、21…第3導電層、23…第3導電層スペーサー、25…円筒形貯蔵電極。

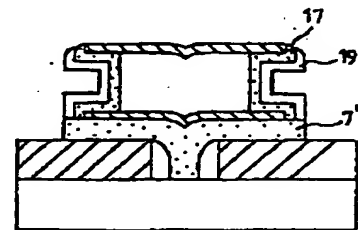
【図1】



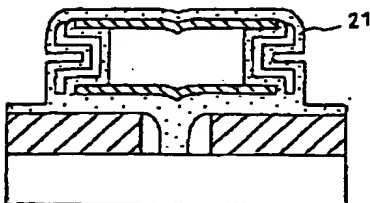
【図2】



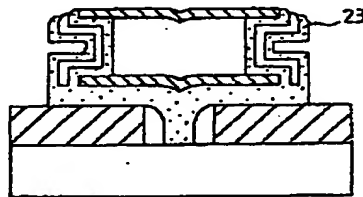
【図3】



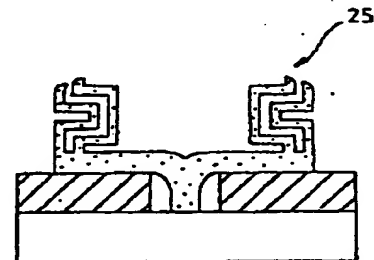
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.⁴

H01L 21/822

識別記号

庁内整理番号

F I

技術表示箇所